

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-251962

(43)Date of publication of application : 08.09.1992

(51)Int.Cl.

H01L 21/82  
G06F 15/60  
H01L 27/118

(21)Application number : 03-001024

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 09.01.1991

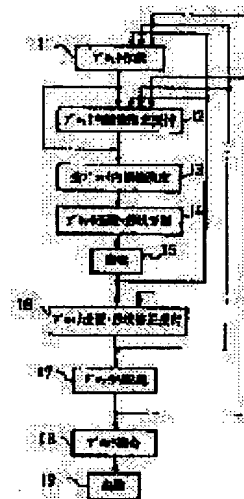
(72)Inventor : KUROSAWA SACHIKO

**(54) METHOD FOR DESIGNING SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE****(57)Abstract:**

**PURPOSE:** To obtain a prediction of a final chip shape in a short time by enabling a block to be corrected in a conversation style before and after a cell placement in a building block system using a standard cell system or a gate array system.

**CONSTITUTION:** First, a rough placement position of a block achieving each function owned by a semiconductor chip and a cell to be placed within the block is determined by an initial floor plan. An area and a shape of the block are predicted based on this initial floor plan and displayed and a shape or a placement position of the displayed block are corrected in a conversation style.

Further, a cell is placed within the predicted or corrected block and the shape or the placement position of the displayed block are corrected in a conversation style. Then, after correcting all blocks, the blocks are integrated and an entire chip is wired, thus enabling a desired chip shape to be predicted in a short time and a difference between a result of floor plan and a desired chip shape to be reduced.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-251962

(43) 公開日 平成4年(1992)9月8日

|                           |         |         |               |        |
|---------------------------|---------|---------|---------------|--------|
| (51) Int.Cl. <sup>6</sup> | 識別記号    | 庁内整理番号  | F I           | 技術表示箇所 |
| H 0 1 L 21/82             |         |         |               |        |
| G 0 6 F 15/60             | 3 7 0 K | 7922-5L |               |        |
| H 0 1 L 27/118            |         |         |               |        |
|                           |         | 7638-4M | H 0 1 L 21/82 | B      |
|                           |         | 7638-4M |               | M      |
| 審査請求 未請求 請求項の数1(全 4 頁)    |         |         |               |        |

(21) 出願番号 特願平3-1024

(22) 出願日 平成3年(1991)1月9日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 黒沢 幸子

神奈川県川崎市幸区小向東芝町1 株式会

社東芝総合研究所内

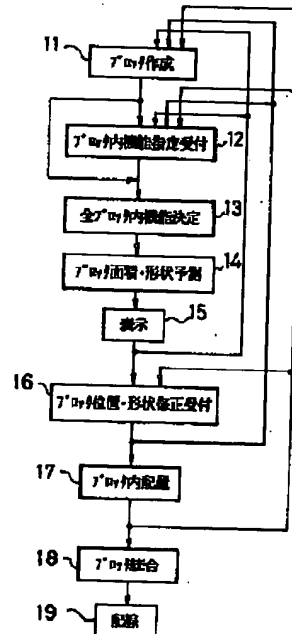
(74) 代理人 弁理士 三好 秀和 (外4名)

(54) 【発明の名称】 半導体集積回路装置の設計方法

(57) 【要約】

【構成】 半導体チップが有する各機能を実現するブロックのおおよその配置位置、及びこのブロック内に配置すべきセルを初期フロアプランで決定する(ステップ11乃至ステップ13)。この初期フロアプランに基づいてブロックの面積及び形状を予測して表示する(ステップ14乃至ステップ15)。表示されたブロックの形状あるいは配置位置を会話的に修正する(ステップ16)。さらに、予測あるいは修正されたブロック内にセルを配置して表示し、表示されたブロックの形状あるいは配置位置を会話的に修正する(ステップ17乃至ステップ18)。全ブロックの修正後、ブロックを統合してチップ全体を配線する(ステップ18及びステップ19)。

【効果】 所望するチップ形状を短時間で予測し、かつフロアプランの最終的な結果と所望するチップ形状との差を少なくすることができる。



## 【特許請求の範囲】

【請求項1】 スタンダードセル方式もしくはゲートアレイ方式を用いたビルディングブロック方式によって半導体集積回路装置を設計する際に、半導体集積回路装置が有する各機能を実現するブロックのおおよその配置位置及びこのブロック内に配置すべきセルを初期フロアプランで決定し、この初期フロアプランに基づいてブロックの面積及び形状を予測して表示し、表示されたブロックの形状あるいは配置位置を会話的に修正可能であることを特徴とする半導体集積回路装置の設計方法。

## 【発明の詳細な説明】

## 【0001】 【発明の目的】

## 【0002】

【産業上の利用分野】 この発明は、スタンダードセル方式もしくはゲートアレイ方式を用いたビルディングブロック方式の半導体集積回路装置の設計方法に関し、特に機能ブロック内にセルが配置される前後にブロックの形状あるいは配置位置が修正可能な設計方法に関する。

## 【0003】

【従来の技術】 従来の半導体集積回路装置の設計方法においては、フロアプラン、ブロック配置、ブロック間配線と直線的に処理を進行していた。ブロックの配置位置などの修正が生じた場合は、処理の始めに戻って同一処理を行っていた。また、実現すべき機能をチップ（半導体集積回路装置）上のどの領域に割り当てるかを定めるフロアプランの途中では、セル配置やセル間配線を考慮したブロックの最終的形狀が予測できなかった。このためフロアプランにおいて、セルを過剰に割り当ててしまったブロックと不足しているブロックが生じても、最終的な配線が終わる以前ではチップ形状の予測ができなかった。これにより、結局最後まで処理を実行してから、再び始めに戻りフロアプランを変えてやり直さなければならなかった。

## 【0004】

【発明が解決しようとする課題】 このように、従来の半導体集積回路装置の設計方法では、修正が生じた場合は最後まで処理を実行してから、再び始めに戻りフロアプランを変えてやり直していた。このため、最終的なチップ形状の予測を得るまでに時間がかかるという問題があった。

【0005】 この発明は、このような従来の事情に鑑みてなされたものであり、その目的とするところは、セル配置の前後でブロックを会話的に修正可能とすることにより、最終的なチップ形状の予測を短時間で得ることができる半導体集積回路装置の設計方法を提供することにある。

## 【0006】 【発明の構成】

## 【0007】

【課題を解決するための手段】 上記目的を達成させるため、この発明は、スタンダードセル方式もしくはゲート

アレイ方式を用いたビルディングブロック方式によって半導体集積回路装置を設計する際に、半導体集積回路装置が有する各機能を実現するブロックのおおよその配置位置及びこのブロック内に配置すべきセルを初期フロアプランで決定し、この初期フロアプランに基づいてブロックの面積及び形状を予測して表示し、表示されたブロックの形状あるいは配置位置を会話的に修正可能とし、さらに予測あるいは修正された前記ブロック内にセルを配置して表示し、セル配置が終了して表示されたブロックの形状あるいは配置位置を会話的に修正可能とすることを特徴としている。

## 【0008】

【作用】 この発明は、フロアプランを二つのフェーズに分ける。第一のフロアプランでは、全自動または一部人手による指定により、全ての機能をチップ上のどの領域で実現するかを決定する。これと同時に、各機能を実現するブロックのおおまかな配置位置と、各ブロック内に配置すべきセルを決定する。決定したこれらの情報に基づいて、セルを配置するために必要とされるブロックの面積及び形状を予測して表示する。ブロックの形状あるいは配置位置の修正を行う場合には、表示されたフロアプランの画面を見ながら会話的に行う。

【0009】 第二のフロアプランでは、第一のフロアプランで予想したブロックにセルを配置して表示する。配置されたセルの過不足に応じて、ブロックの形状あるいは配置位置の修正をフロアプランの画面を見ながら会話的に行う。

## 【0010】

【実施例】 次に、この発明の実施例を図面を参照しながら説明する。

## 第一実施例

図1は、この発明の半導体集積回路装置の設計方法に係わる第一実施例の処理フローである。同図において、ステップ11乃至ステップ16が第一のフロアプランであり、ステップ17及びステップ11からの繰り返しが第二のフロアプランである。第一のフロアプランにより、ブロックの面積及び形状を予想して表示し、さらに修正を行う。第二のフロアプランにより、予想して表示されたブロックにセルを配置し、セルの配置状態に応じてさらにブロックの形状あるいは配置位置の修正を行う。

【0011】 まず、自動またはユーザにより、チップ上にブロックが作成される（ステップ11）。次に、実現すべき機能をブロックのどこにレイアウトするかをユーザから受け付ける。すなわち、第一のインタラクティブフロアプランを行う（ステップ12）。なお、どこにレイアウトするかを全指定を自動で行うこともできる。この後、ユーザから指定を受けなかった機能をどのブロックに実現するかを割当て、このブロックに配置すべきセルを自動で決定する。いわゆる、第一のフロアプラン自動決定を行う（ステップ13）。以上で、初期フ

フロアプランが終了する。

【0012】この初期フロアプランの結果を基に、各ブロックの面積及び形状を予測する(ステップ14)。そして、予めユーザによって定義されたフロアプラン上のブロックの重心に、予測したブロックの重心を重ねてフロアプランを表示する(ステップ15)。この段階でステップ16におけるブロックの修正のみでは所望の結果が得られる見込みがなく、ブロック数の変更や実現すべきブロックの変更が必要と設計者が判断した場合は、ステップ11またはステップ12に戻り、第一のインタラクティブフロアプランを行う。表示されたブロックの形状あるいは配置位置の修正で、所望の結果が得られそうだと判断した場合は、会話的に修正を行う(ステップ16)。ステップ16における修正によっても所望の結果が得られなかった場合は、ステップ11またはステップ12に戻る。以上で、第一のフロアプランが終了する。

【0013】所望の結果が得られた場合は、各ブロック内のセル配置を行う(ステップ17)。セル配置が終わったブロックをフロアプランへ読み込んで表示する。この表示においてセルの過不足などがあり、ブロックの修正が必要な場合は、ステップ11、12あるいはステップ16に戻り、会話的に修正を行う。これにより、第二のフロアプランを行うことができる。ステップ17におけるブロック内のセル配置の後、全ブロックを統合してチップ全体の配線を行う(ステップ18及びステップ19)。

#### 【0014】第二実施例

図2に、この発明の第二実施例の処理フローを示す。第二実施例では、第一実施例におけるブロック内のセル配置の後、ブロック内配線を行う、いわゆる分割配置・分割配線を行う。図2において、第一のフロアプランとなるステップ11乃至ステップ16は、第一実施例と同様な処理である。

【0015】ステップ16でのブロック修正の後、一部のブロック内のセル配置・セル間配線を行う(ステップ21及びステップ22)。この結果をフロアプランに読み込み、ブロック構成上問題がある場合は、ステップ16に戻ってこのブロックまたはその他のブロックの形状

あるいは配置位置の修正を行う。修正を行った場合は、修正したブロック内のセル配置からやり直す。従ってステップ21及びステップ22で行う処理は、特にブロック全体の構成に大きな影響を与えるブロックを優先した方が効果大きい。ステップ16乃至ステップ22の繰り返しにより、第二のフロアプランを行うことができる。全てのブロック内のセル配置・セル間配線が終わった後、全ブロックの統合及びブロック間配線を行う(ステップ23及びステップ24)。

#### 10 【0016】第三実施例

図3に、この発明の第三実施例の処理フローを示す。同図において、第一のフロアプランとなるステップ11乃至ステップ15は、第一及び第二実施例と同様な処理である。第三実施例では、第一及び第二実施例におけるステップ16に代わり、ステップ31が備えられている。すなわち、第一及び第二実施例で行ったブロックの形状・配置位置の修正に加え、ブロック内で実現すべき機能の変更も行うことができる。実現すべき機能が変わるとチップの最終面積・形状も変わる。第三実施例では、これに対応して新しい機能を実現したときのブロックの面積・形状を予測して表示する(ステップ31)。これにより、第一のフロアプランに戻る必要がない。所望のフロアプランができるまで第二のフロアプランのみで修正し、所望のフロアプランが得られた後、ブロック内のセル配置からチップ全体の配線へと進む(ステップ17乃至ステップ19)。

#### 【0017】

【発明の効果】以上のように、この発明の半導体集積回路装置の設計方法によれば、ブロック内セル配置の前後に、会話的にブロックの形状あるいは配置位置を修正することができる。これにより、所望するチップ形状を短時間で予測し、かつフロアプランの最終的な結果と所望するチップ形状との差を少なくすることができる。

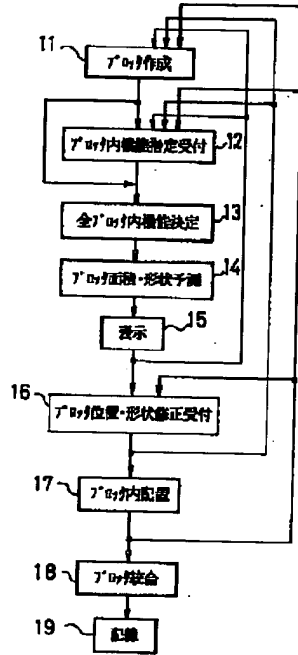
#### 【図面の簡単な説明】

【図1】この発明の第一実施例の処理フローである。

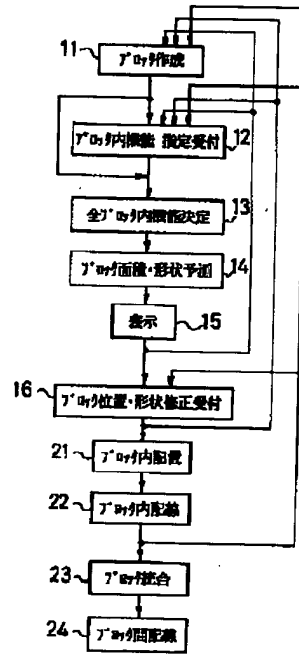
【図2】この発明の第二実施例の処理フローである。

【図3】この発明の第三実施例の処理フローである。

【図1】



【図2】



【図3】

